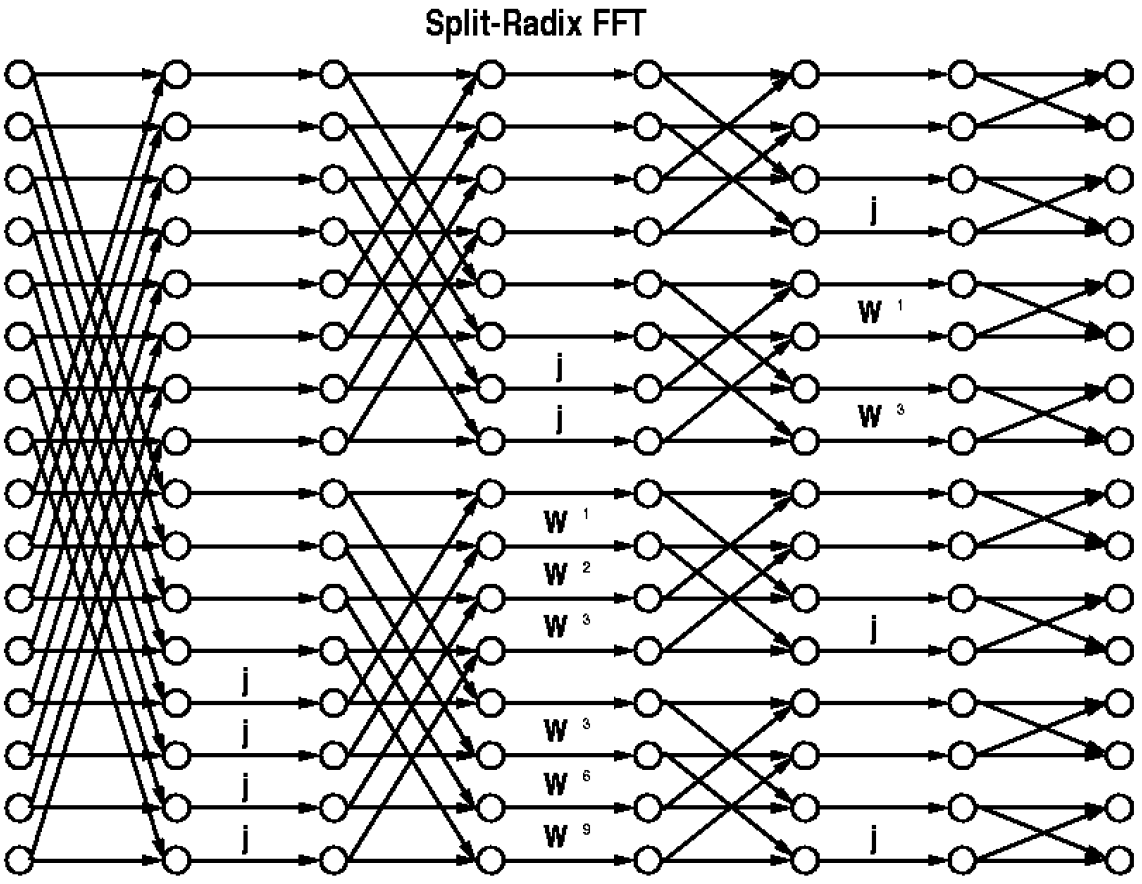
DSPIC Final Project

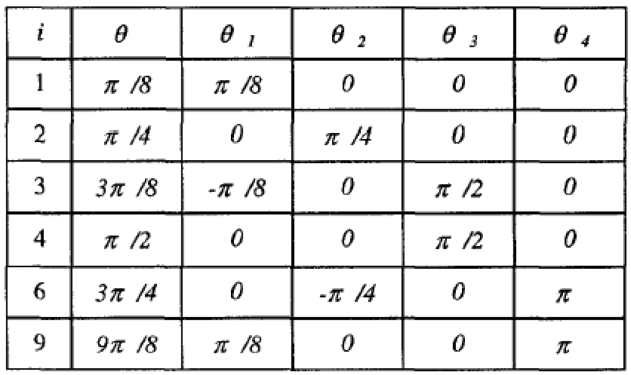
Proposal

組員：101061533彭上軒、101061542吳柏叡、101061596何育澤

* 題目：16-point FFT processor
* 方法：參照講義Ch11 p.38所述Split-Radix FFT架構



* 動機：為了減少硬體成本，twiddle factor乘法次數必須減少。如上圖所示之16點Split-Radix FFT僅需17次乘法，相較於傳統16點FFT的64次乘法減少了將近4倍。
* 預期成果：計算twiddle factor是執行FFT最重要的步驟之一，我們必須求得旋轉的角度。
* 基本目標：以查表的方式完整執行Split-Radix FFT。



* 最終目標：套用兩次lab作業所實現之CORDIC Processor演算，進行上表中的計算，進而完成Split-Radix FFT之硬體架構。